

# **ВІДГУК**

## **офіційного рецензента**

кандидата технічних наук, Токарева Володимира Володимировича  
на дисертаційну роботу Пшеничного Кирила Юрійовича  
на тему: «Моделі та методи верифікації темпоральних моделей кінцевих  
автоматів на мовах опису апаратури»,  
представлену на здобуття наукового ступеня доктора філософії  
за спеціальністю 123 – Комп'ютерна інженерія  
галузь знань 12 – Інформаційні технології

### **1. Актуальність роботи.**

Логічні системи управління є важливим елементом будь-якої цифрової системи. Такі системи використовують двійковий алфавіт для визначення поведінки блоку управління. Відомо, що шаблон кінцевого автомата (Finite State Machine, FSM) є популярною моделлю для таких систем. Важливо відзначити, що кінцевий автомат є математичною абстракцією, яку можна представити різними способами, такими як таблиця переходів станів, діаграма станів (граф переходів), граф-схема алгоритму тощо. При використанні шаблону автомата важливо розуміти, що поведінка цільової системи залежить від подій, які відбуваються в зовнішньому середовищі. У кінцевому автоматі події використовуються для моделювання певних зовнішніх дій, які викликають переходи з одного стану в інший. До подій відносяться сигнали, виклики, пройдений певний проміжок часу або зміна стану. Події можуть бути синхронними чи асинхронними; їх опис у кінцевій моделі - одна з ключових частин процесу проектування. Окрім того, існує клас пристроїв, логіка яких залежить не тільки від часу, у який надходять ці події, але і від часових характеристик цих подій. Прикладом такої події є затискання кнопки, що призводить до вимикання пристрою.

Сутність дослідження полягає у вдосконаленні наявних HDL-шаблонів моделей пристроїв логічного управління реального часу, а саме аспекту обробки зовнішніх подій, що дозволить розширити клас пристроїв логічного

управління реального часу; скороченні часу проєктування через використання асерційних конструкцій для опису темпоральних особливостей HDL-моделей; скороченні часу проведення діагностичного експерименту через введення апаратурної надлишковості на етапі проєктування HDL-моделі.

Ринкова привабливість дослідження полягає у впровадженні готових HDL-шаблонів пристроїв логічного управління реального часу на основі керуючих автоматів, що дасть змогу скоротити час написання початкової HDL-моделі; впровадженні моделей та методів асерційного проєктування, що має на меті зменшення часу верифікації, а відповідно ТТМ.

Метою роботи є розробка методів проєктування, верифікації та діагностики систем реального часу на базі моделей кінцевих автоматів з допомогою впровадження шаблонів на мовах опису апаратури, які використовуються для синтезу пристроїв реального часу.

Для досягнення поставленої мети вирішені такі задачі :

- 1) розроблення HDL шаблонів на базі дискретних автоматів для розв'язання завдання проєктування цифрових пристроїв реального часу;
- 2) розроблення методів верифікації темпоральних параметрів кінцевих часових на базі апарату асерцій;
- 3) розробка методів тестопридатного проєктування кінцевих часових автоматів за рахунок введення апаратурної надлишковості на етапі проєктування;
- 4) розроблення програмного комплексу автоматизації запропонованих методів верифікації та проєктування.

## **2. Обґрунтованість та достовірність наукових положень, висновків, сформульованих у дисертації.**

Достовірність наукових висновків підтверджується проведеними експериментами, тестуванням і верифікацією моделей логічних схем і синтезованих тестів. Запропоновані підходи та методи було апробовано на низці цифрових проєктів із використання ПЛІС CPLD та FPGA у середовищі автоматизації проєктування Xilinx, Vivado, Aldec Riviera Pro із використанням

мов VHDL та Verilog. Розглянуті методи було представлено на двох міжнародних конференціях у напрямі EDA.

Наукова новизна отриманих результатів полягає у наступному.

1. Уперше запропоновано моделі верифікації темпоральних параметрів часових автоматів з допомогою апарату асерцій та формальних методів верифікації, що суттєво скоротило довжину та час діагностичного експерименту завдяки підвищенню спостережуваності кожного стану кінцевого автомату, а також дозволило підвищувати якість тесту.

2. Отримали подальший розвиток моделі та методи моделювання цифрових систем логічного управління з обробкою зовнішніх подій з недетермінованою тривалістю, що дало змогу значно розширити клас подієвих пристроїв логічного керування, які можуть бути представлені часовими автоматними моделями.

3. Набули подальший розвиток моделі побудови легкотестованого часового автомату на основі введення апаратурної надлишковості у HDL опис, що суттєво скоротило довжину тестової послідовності завдяки підвищенню керованості графової моделі часового автомату.

4. Удосконалено трьохкомпоненту HDL-модель кінцевого часового автомату з використання синтезуючої підмножини мов Verilog та VHDL що на відміну від наявних розширило клас систем логічного управління реального часу, які описуються моделями часових автоматів.

Практична значущість. Виконано верифікацію запропонованих методів та алгоритмів проєктування, тестування та діагностики цифрових пристроїв на основі кінцевих автоматів. Запропоновані підходи та методи було апробовано на низці цифрових проєктів з використання ПЛІС CPLD та FPGA у середовищі автоматизації проєктування Xilinx з використанням мов VHDL та Verilog. Розглянуті методи було представлено на двох міжнародних конференціях у галузі EDA.

Розроблено програмний модуль з інтерфейсом для створення темпорального графу переходів автомата з подальшою генерацією HDL-моделі

у формі автоматного шаблону в синтезованій підмножині мов VHDL/Verilog. Також модуль надає можливість автоматичної генерації асерційних конструкцій SVA для заданої моделі, а також пошуку оптимального циклу Гамільтона для побудови неруйнівного ДЕ. Програмний модуль розроблений із використанням фреймворку Electron, а отже є кросс-платформеним рішенням.

Обґрунтованість наукових положень. Отримані в процесі виконання досліджень наукові висновки і практичні результати з моделювання пристроїв реального часу, а також методів тестування та діагностики є достовірними, що підтверджується достатньою кількістю проведених експериментів, точністю розрахунків, апробацією результатів на міжнародних науково-практичних конференціях, впровадженням результатів в освітній процес.

Результати дисертації в складі методів проектування пристроїв реального часу впроваджені в навчальний процес Харківського національного університету радіоелектроніки (акт про впровадження від 25.01.2024).

На основі результатів дослідження на підприємстві ТОВ «ТІМДЕВ» було створено програмний модуль із використанням фреймворка Molybden на замовлення клієнта з галузі EDA для розроблення моделей логічного керування реального часу. Програмний модуль використовується для створення та візуалізації темпоральних графів переходів та подальшої генерації HDL-коду моделі пристрою, що розробляється (акт про впровадження від 12.04.2024).

### **3.Характеристика роботи.**

Структура дисертації: 109 сторінок (з них 77 представляють основний текст) і містить: 4 розділи, 18 підрозділів, 63 рисунка, 2 таблиці, список джерел з 102 назв (на 9 с.), 1 додаток (на 2 с.), анотації на 8 с.

У **вступній частині** описано мотивацію виконання дослідження, актуальність науково-практичної задачі, що розв'язується; сформульовано мету, об'єкт і задачі дослідження; сукупність наукових результатів, що виносяться на захист; визначено наукову новизну та практичну значущість отриманих результатів; наведено відомості про їх апробацію та реалізацію, характеристику публікацій.

У **першому розділі** дисертації викладено аналіз існуючих публікацій в області створення моделей, методів тестопридатного проектування систем логічного управління реального часу на основі кінцевих автоматів для верифікації моделей цифрових систем, представлених мовами опису апаратури в циклі автоматизованого проектування з метою скорочення загального часу проектування.

У сучасному світі питання автоматизації управління промислових та побутових процесів відіграє важливу роль. Серед усього класу завдань управління є такі, для яких важливим є не тільки факт настання зовнішньої події, але і час, у який ця подія відбувається. Проаналізовано основні тенденції автоматизованого проектування керуючих пристроїв на основі кінцевих автоматів. Розглянуто етапи автоматизованого проектування часових автоматів, способи подання проектів мовами опису апаратури. Наведено процедури проведення діагностичних експериментів в системах реального часу.

Розглянуті моделі та процедури асерційного проектування в системах реального часу. Розглянуті моделі базуються на розширенні HDL-коду за допомогою програмних конструкцій у формі асерцій, які не впливають на синтез цільових пристроїв та дають змогу істотно зменшити час створення прототипу проекту. Викладені теоретичні положення і практичні приклади, які доводять ефективність механізму асерцій для вирішення завдань перевірки проектів на системному рівні.

На основі аналізу списку публікацій з тематики проектування цифрових пристроїв реального часу з використанням часових автоматних шаблонів зроблений висновок, що це питання має низку невивчених аспектів. Це насамперед стосується питання обробки зовнішніх подій невизначеної тривалості у моделях таких пристроїв, верифікації та діагностики, а також побудови легкотестованих часових HDL-моделей автоматів. На підставі проведеного аналізу сформульовано мету та завдання дослідження, які орієнтовано на розробку моделей та методів верифікації та тестопридатного проектування автоматних систем логічного управління реального часу.

**Другий розділ** роботи присвячено розробленню моделей та методів обробки зовнішніх подій у системах логічного управління реального часу, які описані через використання автоматних шаблонів

Розширено клас пристроїв реального часу – пристрої, які функціонують на базі подій із певною тривалістю в часі та пристрої, функціональність яких залежить від співвідношення тривалості події та вікна прийому.

Розроблено HDL-моделі обробки зовнішніх подій із невизначеною тривалістю. Запропоновано шаблон обробки зовнішніх подій на базі автоматних шаблонів реального часу. Моделювання проводилося з використанням системи моделювання EDA Playground.

Верифікацію запропонованих HDL моделі було проведено у двох САПР: Vivado з використанням SoC сімейства Zynq 7000 та Xilinx з використанням FPGA XC3S500E-5fg320 та CPLD XC9572XL-10-TQ100. Автоматизований синтез та пост-синтез моделювання підтвердило працездатність запропонованих шаблонів.

**В третьому розділі** розглядаються методи верифікації автоматних систем реального часу з використанням методу асерцій. Визначено місце використання асерцій та методів формальної верифікації у проектуванні пристроїв реального часу. Запропоновано методику розстановки асерційних точок у HDL-моделі часових автоматів. Розроблено SVA моделі верифікації темпоральних характеристик часових автоматів залежно від характеру темпоральних переходів.

Розроблено шаблони асерційних конструкцій, які покривають можливі сценарії поведінки часових автоматів, а саме: часові та умовно-часові переходи, обробка зовнішніх подій при наявності вікна прийому та обробка подій із мінімальною тривалістю. Було показано ефективність такого підходу, що дає змогу зменшити час верифікації та суттєво спрощує пошук помилки у HDL-кодi. Розроблені моделі апробовано та перевірено на моделях часових автоматів поведінковим моделюванням у середовищі Aldec Riviera Pro. 2022.

**У четвертому розділі** розглянуто питання методів тестопридатного

проектування часових керуючих автоматів через введення додаткових апаратних витрат на етапі проектування HDL-моделі, а саме – розширенням вхідного алфавіту автомата. Цей спосіб дає змогу встановити автомат у довільний стан у детермінований час, суттєво скорочує довжину та час діагностичного експерименту. Запропоновано й математично обґрунтовано розширення вхідного алфавіту моделі керуючого автомата реального часу через введення додаткових дуг у темпоральний граф переходів, що дозволяє встановлювати автомат у довільний стан за  $(n-1)$  тактів, де  $n$  - кількість станів автомата.

Розроблені та верифіковані HDL-моделі легкотестованих автоматів Мура через введення у HDL-код додаткового зовнішнього входу `bps`, що відповідає модифікації темпорального графу переходів. Моделювання проводилося з використанням системи моделювання EDA Playground. Аналіз апаратурних витрат показав, що оптимальним за апаратурними затратами є введення додаткового режиму підвищення керованості станів автомата. Апаратурні затрати не перевищують 20-25% у залежності від типу автомата. Виявлено, що додаткові апаратурні витрати прямо залежать від складності функцій переходів, з урахуванням способу кодування станів автомата. Оцінювання апаратурних витрат проводилася через аналіз результатів автоматизованого синтезу HDL-моделей у САПР VIVADO для SoC сімейства ZYNQ-7000.

#### **4. Оприлюднення результатів дисертаційної роботи**

За результатами виконаних досліджень опубліковано 8 наукових робіт, серед яких , 5 – у наукових журналах, включених до «Переліку наукових фахових видань України», з них 1 – категорії А, що входять до наукометричної бази Web of Science; а також 3 тез доповідей у матеріалах міжнародних наукових конференцій, з них 1 входить до науково-метричної бази Scopus.

Наукові публікації здобувача мають високий науковий рівень, і охоплюють всі отримані результати, представлені у дисертації. В усіх публікаціях дотримуються принципи академічної доброчесності. Академічного плагіату, фабрикації та фальсифікації результатів у публікаціях та дисертації не виявлено.

Зауваження по дисертаційній роботі Пшеничного Кирила Юрійовича.

1. В дисертаційній роботі не обумовлений клас зовнішніх подій, тривалість яких може привести до помилок у роботі часових керуючих автоматів.

2. В тексті дисертаційної роботи не розглянуті інші моделі темпоральної логіки, які використовуються при діагностиці часових автоматів.

3. В дисертаційній роботі не обґрунтований вибір в якості керуючого автомата темпоральної моделі Мура, хоча для деяких задач управління доцільно в системах жорсткого реального часу доцільно використовувати автомати Мілі.

4. В дисертаційній роботі не розглянуто апаратні витрати на схеми взаємодії керуючого автомата з виконавчими пристроями та способи забезпечення їх тестопридатності у часовому вимірі.

5. В дисертаційній роботі не наведені числові оцінки вибору місць розміщення асерцій у HDL-моделях керуючих автоматів.

6. В дисертаційній роботі не розглядаються автомати з нетривіальними функціями виходів, що звужує клас реальних пристроїв керування, для яких може бути застосований запропонований метод підвищення тестопридатності.

7. В дисертаційній роботі не розглядається вплив кодування станів на тестопридатність часових автоматів, що в деяких випадках дає більший позитивний ефект ніж модифікація темпорального графа переходів.

8. В дисертаційній роботі не розглянуті типи дефектів апаратури, які можуть порушувати часові характеристики керуючих автоматів.

9. В дисертаційній роботі не надано результатів експериментів по аналізу розроблених тестопридатних автоматів у системах реального часу.

## **6. Висновок**

Незважаючи на зазначені зауваження, вважаю що дисертаційна робота Пшеничного Кирила Юрійовича «Моделі та методи верифікації темпоральних моделей керуючих автоматів на мовах опису апаратури» є закінченим науковим дослідженням, виконана на високому науковому рівні, не порушує принципів академічної доброчесності. Сукупність отриманих теоретичних та практичних



результатів розв'язує актуальну науково-практичну задачу проєктування, верифікації та діагностики систем реального часу на базі моделей кінцевих автоматів через впровадження шаблонів на мовах опису апаратури, що має істотне значення для галузі знань 12 – Інформаційні технології.

Дисертаційна робота за актуальністю теми, обсягом та рівнем виконаних досліджень, повнотою вирішення наукових і практичних задач, новизною та ступенем обґрунтованості отриманих результатів і практичних висновків повністю відповідає пунктам 6-9 «Порядку присудження ступеня доктора філософії та скасування рішення разової спеціалізованої вченої ради закладу вищої освіти, наукової установи про присудження ступеня доктора філософії», затвердженого Постановою Кабінету Міністрів України від 12.01.2022 р. № 44.

Здобувач Пшеничний Кирило Юрійович заслуговує на присудження йому ступеня доктора філософії в галузі знань 12 – Інформаційні технології за спеціальністю 123 – Комп'ютерна інженерія.

#### Рецензент:

кандидат технічних наук, доцент,  
доцент кафедри електронних обчислювальних машин  
Харківського національного університету  
радіоелектроніки МОН України

Володимир ТОКАРЄВ

Підпис доц. Токарева В.В. засвідчую



Ірина ЖАРІКОВА