

ВІДГУК ОФІЦІЙНОГО ОПОНЕНТА

кандидата технічних наук, доцента ПАРХОМЕНКО Анжеліки Володимирівни
на дисертаційну роботу ПШЕНИЧНОГО Кирила Юрійовича
на тему: «Моделі та методи верифікації темпоральних моделей кінцевих
автоматів на мовах опису апаратури»,
представлену на здобуття наукового ступеня доктора філософії
за спеціальністю 123 – Комп'ютерна інженерія
галузь знань 12 – Інформаційні технології

Актуальність теми дисертації

Серед усієї множини систем управління значну частину складають системи логічного управління, у яких керуючі сигнали приймають значення логічного нуля або одиниці в залежності від граничних значень фізичних величин, що визначають дані параметри. Для технічної реалізації зазначених систем найбільш придатною є модель кінцевого автомата (Finite State Machine, FSM), а візуальним поданням алгоритму функціонування є граф переходів. Відмінною особливістю автоматів логічного управління є наявність серед вхідних сигналів не тільки оповіщувальних сигналів операційного автомата, а й зовнішніх по відношенню до керованої системи подій зовнішнього світу, які для алгоритму управління є перериваннями.

Кінцеві керуючі автомати функціонують в автоматному часі, який визначається тактами роботи автомата. Але більшість реальних систем логічного управління взаємодіють із зовнішнім світом в метричному часі, тобто є системами реального часу та описуються моделями часових автоматів. Відомо, що шаблон кінцевого автомата на мовах опису апаратури є широко поширеною моделлю для таких систем. При використанні автоматного шаблону важливо розуміти, що поведінка цільової системи залежить від подій, що відбуваються в зовнішньому середовищі, та використовуються для

моделювання переходу з одного стану FSM до іншого. До числа подій відносяться сигнали, виклики, витікання певного проміжку часу, зміна технічного стану тощо.

При цьому слід враховувати, що найбільш складним і витратним етапом в сучасному циклі проєктування цифрових пристроїв є функціональна верифікація, тобто процес виявлення, локалізації та усунення помилок в моделях різного рівня абстракції специфікації, на що витрачається до 70% загального часу проєктування. Дослідження в галузі розробки нових методів верифікації мовних моделей часових автоматів є актуальною та практично значущою задачею.

Метою дисертації є розробка моделей, методів та інструментальних засобів проєктування, верифікації та діагностики систем реального часу на базі моделей кінцевих автоматів за допомогою провадження шаблонів на мовах опису апаратури, які використовуються для синтезу пристроїв реального часу.

Для досягнення поставленої мети автором вирішуються такі завдання:

- розроблення HDL-шаблонів (Hardware Description Language) на базі дискретних автоматів для розв’язання завдання проєктування цифрових пристроїв реального часу;
- розроблення методів верифікації темпоральних параметрів кінцевих часових на базі апарату асерцій;
- розроблення методів тестопридатного проєктування кінцевих часових автоматів за рахунок введення апаратурної надлишковості на етапі проєктування;
- розроблення програмного комплексу автоматизації запропонованих методів верифікації та проєктування.

Таким чином, тема, мета та поставлені завдання дисертаційної роботи Пшеничного К.Ю. є **актуальними**.

Характеристика роботи

Дисертаційна робота є завершеною науковою працею і складається зі вступу, чотирьох розділів, висновків, списку використаних джерел із 102

найменувань (9 с.) та додатку.

У **вступній частині** описано актуальність дослідження та його ринкову привабливість; описано об'єкт, предмет, мету та завдання дослідження; перелічено науково-практичні результати, висвітлено їх наукову новизну та практичну цінність; наведено відомості про апробацію та реалізацію результатів роботи, а також характеристики публікацій та особистий внесок здобувача.

Перший розділ дисертаційного дослідження присвячено огляду сучасного стану галузі автоматизації проектування цифрових пристроїв. Розглянуто питання проектування систем реального часу з використанням мов опису апаратури на основі автоматних шаблонів.

Показано, що у різних галузях промисловості існує клас задач, які аналізують не тільки факт настання зовнішніх подій, але і тривалість таких подій. Розглянуто методи вирішення таких задач з використанням часових автоматів, їх проектування за допомогою мов опису апаратури. Проаналізовано процедури проведення діагностичних експериментів над часовими автоматами.

Проаналізовано методи асерційного проектування HDL-моделей, які базуються на розширенні HDL-коду пристрою додатковими верифікаційними конструкціями – асерціями, які використовуються для перевірки поведінки цифрового пристрою як під час моделювання, так і під час тестування. Показано, що використання асерцій суттєво зменшує час пошуку помилки в HDL-коді до рівня HDL-конструкції.

Проведений здобувачем аналіз літературних джерел показав, що питання проектування цифрових пристроїв логічного управління реального часу з використанням автоматних шаблонів має невивчені питання, а саме обробку зовнішніх подій з недетермінованою тривалістю, питання верифікації та діагностики, а також побудова HDL-моделей легкотестованих часових автоматів.

На основі цього аналізу сформульовані цілі й завдання дослідження, спрямовані на розробку моделей і методів для верифікації і тестопридатного проектування автоматних систем логічного управління реального часу.

У **другому розділі** розглянуто питання проектування систем логічного управління реального часу з використанням автоматних HDL-шаблонів.

Введено два нових класи пристроїв реального часу - пристрої, які функціонують на базі подій із певною тривалістю в часі та пристрої, функціонування яких залежить від співвідношення тривалості події та вікна прийому.

Для нових класів пристроїв введено автоматні HDL-шаблони на мові Verilog. Запропоновані шаблони було використано на тестових проєктах з синтезом у САПР Vivado з використанням систем на кристалі (System-on-a-Chip, SoC) сімейств Zynq 7000 та Xilinx для FPGA XC3S500E-5fg320 та CPLD XC9572XL-10-TQ100. Автоматизований синтез та пост-синтез моделювання підтвердили працездатність запропонованих шаблонів.

У **третьому розділі** розглянуто питання асерційного проектування пристроїв логічного управління реального часу. Проаналізовано існуючі методи розстановки асерційних точок у автоматних моделях, і запропоновано евристичний спосіб розстановки асерцій у HDL-моделях темпоральних автоматів. Розроблено шаблони верифікації темпоральних характеристик часових автоматів залежно від характеру темпоральних переходів на мові SystemVerilog Assertions (SVA).

Розроблені шаблони покривають всі можливі сценарії поведінки автоматної моделі: часові та умовно-часові переходи, обробку зовнішніх подій при наявності вікна прийому та обробку подій із мінімальною тривалістю. Ефективність такого підходу, який суттєво спрощує пошук помилки у HDL-кодi, було показано на прикладах тестових проєктів.

Четвертий розділ присвячено питанню тестопридатного проектування часових керуючих автоматів за рахунок введення апаратної надлишковості на етапі написання HDL-коду. Запропонований підхід дає можливість встановити

автомат у будь-який стан за $(n-1)$ тактів, де n -кількість станів автомата. З точки зору HDL-коду суть способу полягає у розширенні вхідного алфавіту та введенням додаткових конструкцій if.

Проаналізовано різні типи темпоральних переходів та їх модифікація, а також апаратні витрати, які виникають при введенні додаткових дуг. На основі методу введення додаткових дуг на темпоральному графі запропоновано математичний апарат для побудови оптимального циклу Гамільтона при проведенні діагностичного експерименту.

У **додатках** наведено довідки про впровадження результатів дисертації.

Практична значущість отриманих в процесі виконання досліджень результатів полягає в розробці методів моделювання пристроїв реального часу, а також методів їх тестування, що підтверджується достатньою кількістю проведених експериментів, точністю розрахунків, апробацією результатів на міжнародних науково-практичних конференціях, впровадженням результатів в освітній процес та промисловість.

Результати дисертації в складі методів проєктування пристроїв реального часу впроваджені в навчальний процес Харківського національного університету радіоелектроніки (акт про впровадження від 25.01.2024).

На основі результатів дослідження на підприємстві ТОВ «ТІМДЕВ» було створено програмний модуль із використанням фреймворка Molybden на замовлення клієнта з галузі автоматизації проєктування електроніки (Electronic Design Automation, EDA) для розроблення моделей логічного керування реального часу. Програмний модуль використовується для створення та візуалізації темпоральних графів переходів та подальшої генерації HDL-коду моделі пристрою, що розробляється (акт про впровадження від 12.04.2024).

На основі викладеного вище можна зробити такі висновки.

Наукова новизна роботи визначається такими положеннями:

- уперше запропоновано моделі верифікації темпоральних параметрів часових автоматів з допомогою апарату асерцій та формальних методів верифікації, що суттєво скоротило довжину та час діагностичного

експерименту завдяки підвищенню спостережуваності кожного стану кінцевого автомату, а також дозволило підвищувати якість тесту;

- отримали подальший розвиток моделі та методи моделювання цифрових систем логічного управління з обробкою зовнішніх подій з недетермінованою тривалістю, що дало змогу значно розширити клас подієвих пристроїв логічного керування, які можуть бути представлені часовими автоматними моделями;

- набули подальший розвиток моделі побудови легкотестованого часового автомату на основі введення апаратурної надлишковості у HDL опис, що суттєво скоротило довжину тестової послідовності завдяки підвищенню керованості графової моделі часового автомату;

- удосконалено трьохкомпоненту HDL-модель кінцевого часового автомату з використання синтезуючої підмножини мов Verilog та VHDL, що на відміну від наявних розширило клас систем логічного управління реального часу, які описуються моделями часових автоматів.

Практичне значення отриманих результатів дослідження полягає у таких аспектах:

- скорочення часу проєктування цифрового пристрою завдяки використанню готових HDL-шаблонів на базі часових автоматів;

- скорочення часу верифікації та налаштування HDL-моделей через використання асерційних точок, які суттєво скорочують час пошуку помилкової HDL конструкції;

- спрощення процесу проведення діагностичного експерименту через введення апаратурної надлишковості, що дає змогу встановлювати пристрій реального часу в будь-який стан за детерміновану кількість тактів.

Розглянуті методи було представлено на двох міжнародних конференціях у галузі EDA.

Обґрунтованість і достовірність результатів дослідження підтверджується використанням методів проєктування пристроїв реального часу з використанням мов опису апаратури, методів математичного

моделювання та технічної діагности, а також використанням сучасних САПР цифрових пристроїв. Достовірність наукових висновків підтверджується достатньою кількістю проведених експериментів, точністю розрахунків, апробацією результатів на міжнародних науково-практичних конференціях, впровадженням результатів в освітній процес та в реальні проєкти в галузі інформаційних технологій (ІТ).

Публікації та апробація результатів дисертаційної роботи

Автором опубліковано 8 наукових робіт, серед яких , 5 – у наукових журналах, включених до «Переліку наукових фахових видань України», з них 1 – категорії А, що входить до наукометричної бази Web of Science; а також 3 тез доповідей у матеріалах міжнародних наукових конференцій, з них 1 входить до науково-метричної бази Scopus. Академічного плагіату, фабрикації та фальсифікації результатів у публікаціях та дисертації не виявлено.

Зауваження по дисертаційній роботі

1. В огляді методів тестопридатного проєктування не приділено достатньо уваги структурним методам.
2. Недостатньо розглянуто сучасне становище EDA-ринку у сфері формальної верифікації (які платформи використовуються та як існуючі методи співвідносяться з тестуванням та верифікацією за допомогою TestBench).
3. В п. 2.3 не зроблено висновків з результатів моделювання та синтезу розширеної моделі фрагменту графа переходів часового автомата на рис.2.13.
4. Не наведено технічних характеристик пристроїв, які використовувалися під час синтезу.
5. Не наведено результатів моделювання помилок проєктування в HDL-моделях автоматів з використанням асерційних конструкцій.
6. Відсутність метрики, яка б показувала як саме використання асерцій допомогло зменшити час проєктування.
7. Не виконувався аналіз загального часу проведення діагностичного експерименту та його співвідношення з вимогами систем реального часу для всього циклу функціонування пристрою.

8. Не наведено результатів моделювання Verilog-моделей тестопридатних автоматів, які згенеровані розробленим програмним модулем.

Незважаючи на зазначені зауваження, дисертаційна робота є завершеним науковим дослідженням, в якому поставлено за мету розробку моделей, методів та інструментальних засобів проектування та верифікації часових автоматів в системах логічного управління та їх автоматизованого синтезу, що має важливе значення для галузі знань 12 – Інформаційні технології.

Роботу виконано на високому теоретичному рівні, що підтверджується публікаціями у наукових журналах, в тому числі, закордонних та участю у міжнародних наукових конференціях. Актуальність обраної теми, достовірність і обґрунтованість висновків, новизна досліджень, значення отриманих результатів для науки і практики свідчать про те, що дисертаційна робота «Моделі та методи верифікації темпоральних моделей кінцевих автоматів на мовах опису апаратури» задовольняє вимогам пунктів 6-9 «Порядку присудження ступеня доктора філософії та скасування рішення разової спеціалізованої вченої ради закладу вищої освіти, наукової установи про присудження ступеня доктора філософії», затвердженого Постановою Кабінету Міністрів України від 12.01.2022 р. № 44., а Пшеничний Кирило Юрійович заслуговує на присудження йому ступеня доктора філософії в галузі знань 12 – Інформаційні технології за спеціальністю 123 – Комп'ютерна інженерія.

Офіційний опонент:

доцент кафедри програмних засобів
Національного університету
«Запорізька політехніка»
кандидат технічних наук, доцент

Підпис доц. ПАРХОМЕНКО А. В.
засвідчую:

