

РЕЦЕНЗІЯ

на дисертаційну роботу

Хаханова Івана Володимировича

на тему: «Векторні методи синтезу тестів і логічного моделювання

цифрових компонентів SoC»,

представлену на здобуття ступеня доктора філософії

за спеціальністю 123 – Комп'ютерна інженерія

галузь знань 12 – Інформаційні технології

1. Актуальність теми дисертації

Після того як компанія Synopsys вирішила проблему автоматичного синтезу пристроїв будь-якої складності (10 мільярдів вентилів на кристалі і більше), ще гостріше постала проблема автоматичної верифікації надскладних пристроїв за прийнятний для ринку час. Для вирішення цієї проблеми необхідні розумні та прості структури даних і технологічні методи їх аналізу. Дисертаційне дослідження спрямоване на створення нових методів in-методу тестування та моделювання цифрових виробів на основі векторної логіки з урахуванням несправедливо забутих явних моделей – таблиць істинності, які сьогодні вирішують проблеми технічної діагностики, і навіть обробки великих даних за допомогою механізмів машинного навчання. У роботі запропоновано використовувати приховану в адресах комбінаторику таблиці істинності для вирішення науково-практичної задачі моделювання поодиноких та кратних несправностей цифрових структур. Лінійні за складністю алгоритми моделювання, порівняно з кубічними, дозволяють автоматично синтезувати карти тестування складних функціональностей. Іншим новим результатом, отриманим у дисертації, можна вважати паралельне моделювання несправностей, як адрес, у структурно складних цифрових схемах, що мають східні розгалуження. Усі структури даних та алгоритми моделювання орієнтовані на імплементацію в пам'ять, використовують лише read-write

транзакції, вільні від використання потужної системи команд центрального процесора та ітерацій шиною даних машини фон Неймана. Запропонована інтегрована архітектура моделювання несправностей дозволяє здійснювати економію електроенергії при обробці даних без втрати швидкодії, оскільки цикл звернення до сучасної пам'яті становить менш ніж одну наносекунду. Але, за таких переваг, витрати пам'яті для зберігання розумних структур даних мають експоненційний характер 2^n , де n – кількість входів логічного елемента чи схеми. Запропоновані структури даних та методи моделювання несправностей, як адрес, реалізовані мовою Python. Програмна реалізація методів пройшла верифікацію шляхом обробки окремих схемних рішень з бібліотеки конференції ISCAS та впроваджена в освітній процес.

У дисертації вирішується науково-практичне завдання зменшення алгоритмічної складності синтезу тесту та оцінки його якості шляхом використання надлишковості розумних структур даних. Використання read-write транзакцій на розумних структурах даних у пам'яті замість потужної системи команд процесора дозволяють усунути ітерації шиною даних між процесором та пам'яттю машини фон Неймана, і, таким чином, економити час та енергію при вирішенні завдань проектування і тестування цифрових компонентів SoC.

2. Оцінка обґрунтованості наукових результатів дисертації, їх достовірності та новизни

Наукова новизна результатів дисертаційного дослідження полягає в наступному:

вперше запропоновано:

- розумну структуру даних, яка характеризується паралелізмом моделювання тестових наборів та несправностей як адрес, що дає змогу ефективно обробляти вектори несправностей цифрової схеми та/або логічного елемента;

- векторний метод синтезу карти тестування, який характеризується

використанням логічного вектора функціональності та матриці перекодування, що дає можливість вирішувати задачу синтезу тестів та моделювання несправностей за квадратичну обчислювальну складність алгоритму;

– векторний метод моделювання несправностей, який характеризується паралелізмом аналізу несправностей, як адрес, при аналізі логічної схеми, що дозволяє суттєво підвищити швидкодію алгоритму моделювання до квадратичної обчислювальної складності;

удосконалено:

– векторні методи побудови дедуктивної матриці, які відрізняються застосуванням матриці перекодування та використанням хог-операцій між логічним вектором та тестовим набором.

Практичне значення отриманих результатів полягає у тестуванні та верифікації розумних структур даних і алгоритмів моделювання на схемах та функціональних елементах бібліотеки ISCAS, спрямованості результатів на ринок електронних технологій.

Достовірність та обґрунтованість отриманих результатів та висновків підтверджується їхньою апробацією на міжнародних наукових конференціях та у публікаціях у провідних фахових наукових виданнях України і за кордоном.

3. Оцінка змісту дисертації, її завершеності, дотримання принципів академічної доброчесності

Дисертаційна робота є завершеним науковим дослідженням, структура якого складається з вступу, чотирьох розділів, висновків, анотацій та додатків.

Перший розділ – *Розумні структури даних для моделювання несправностей як адрес*. В ньому розробляються розумні структури даних та алгоритм справного моделювання цифрових функціональностей у пам'яті на основі транзакцій читання-запису, метод векторно-табличного моделювання в пам'яті поодиноких та кратних константних несправностей, як адрес, для функціональних елементів з довільною кількістю входів, метод векторно-логічного синтезу дедуктивної матриці моделювання несправностей.

Особливістю методу моделювання є суперпозиція вхідного тест-вектора, таблиці істинності несправностей та дедуктивної матриці, отриманої за логічним вектором, що фактично означає відсутність алгоритму моделювання для отримання списку несправностей, що перевіряються на тесті.

Другий розділ – *Векторний синтез карти тестування логіки*. Розробляється архітектура комп'ютингу в пам'яті на основі транзакцій читання-запису на розумних структурах даних, метод векторного синтезу дедуктивної матриці для моделювання несправностей, метод векторно-табличного дедуктивного моделювання несправностей логіки. Дедуктивна матриця є ключем функціональності для вирішення всіх задач тестування та верифікації. На її основі будується тестова карта логіки, де кожному тестовому набору ставляться у відповідність несправності вхідних ліній, що перевіряються.

Третій розділ – *Моделювання несправностей як адрес у логічних схемах*. Розробляється метод моделювання несправностей, як адрес, для цифрових схем, де елементи представлені логічними векторами. Пропонується структура даних для моделювання несправностей вхідних та внутрішніх ліній логічних схем у вигляді таблиці істинності, синтезуються алгоритми моделювання в пам'яті поодиноких несправностей, як адрес, для логічної схеми будь-якої структурної складності. Особливістю алгоритмів моделювання несправностей є використання транзакцій читання-запису на розумних структурах даних у будь-якій пам'яті, а також відсутність етапу попереднього синтезу схеми.

Четвертий розділ – *Верифікація структур даних, алгоритмів та додатків моделювання несправностей як адрес*. Пропонуються: архітектура розумних даних для моделювання несправностей цифрових схем, реалізована за технологією in-memory комп'ютингу, дедуктивні механізми моделювання несправностей, як адрес, на основі транзакцій читання-запису на розумних та явних структурах даних, архітектура програмних засобів для розв'язання задач моделювання несправностей, справної поведінки та генерації тестів на основі розумних структур даних. Перевагою розумних та явних структур даних на

основі логічних векторів та таблиць істинності є можливість використання суперпозиції, яка формує рішення по суті без моделювання.

У висновках узагальнено отримані результати.

У додатках наведено список публікацій здобувача, в яких опубліковані основні наукові результати дисертації, інформацію про апробацію матеріалів дисертації та впровадження результатів в освітній процес ХНУРЕ, лістинги програм моделювання несправностей.

Оформлення дисертаційної роботи відповідає Наказу МОН України від 12.01.2017 № 40 «Про затвердження Вимог до оформлення дисертації».

4. Оприлюднення результатів дисертаційної роботи

Результати дисертаційної роботи висвітлено здобувачем в 11 наукових статтях у наукових журналах, серед яких 2 статті в міжнародних наукових журналах за кордоном, 9 – у наукових журналах, включених до «Переліку наукових фахових видань України», з них 2 – категорії А, що входять до наукометричної бази Web of Science.

Апробація результатів дисертації здійснювалась на 20 наукових конференціях товариства IEEE напряму Design and Test, 18 з них індексовано у науково-метричній базі Scopus.

В дисертації та публікаціях автора не виявлено фактів порушення академічної доброчесності (академічного плагіату, фабрикації та фальсифікації результатів).

5. Зауваження та дискусійні питання до дисертаційної роботи

1) В розділі 1 недостатньо чітко сформульовано поняття розумних даних, походження самого терміну і його обґрунтування.

2) З матеріалів дисертації не зовсім ясно, яку максимальну кількість входів логічного елемента можна обробити за допомогою програми синтезу карти тестування на основі логічного вектора.

3) Потребують додаткових пояснень паралелізм обробки несправностей у

цифровій структурі, його метрика і чим він відрізняється від відомого алгоритму моделювання несправностей.

4) Не зовсім зрозуміло, чи дозволяє програма моделювання несправностей обробляти схеми з глобальними зворотними зв'язками.

5) Потребує додаткових пояснень економічність структур даних для побудови карти тестування функціональності та моделювання несправностей схемної структури. Які з них є більш економічними? Як співвідносяться обчислювальні складності зазначених методів моделювання?

6) Не зрозуміло, як можна використовувати два методи моделювання несправностей для діагностування дефектів у цифрових виробках.

7) Бажано було б більш детально обґрунтувати, яка найкраща стратегія використання методу моделювання схеми для верифікації цифрових проектів: на системному рівні опису проекту або на фізичному рівні імплементації проекту в залізо.

8) Не обґрунтовано чи можна за допомогою карт тестування, на основі логічного вектора, визначати несправності в з'єднувальних кабелях між платами або кристалами складної цифрової системи.

9) Доцільно було б показати, що потрібно зробити для того, щоб запропоновані методи тестової верифікації з'явилися на ринку EDA-технологій. Чи планується створення HDL-інтерфейсу?

10) Які існують обмеження для введення візуальної схемної структури за допомогою інтерфейсу GUI? Яким чином ввести графічну інформацію про велику схему, яка займає більше, ніж один екран за площею?

11) В дисертаційній роботі недостатньо чітко описано практичну реалізацію розроблених методів та структур даних, зокрема мовою Python.

12) У висновках по роботі немає інформації про порівняння отриманих в дисертації результатів з результатами аналогічних досліджень, про оцінку їх ефективності.

6. Висновок про дисертаційну роботу

Вважаю, що дисертаційна робота здобувача ступеня доктора філософії Хаханова Івана Володимировича «Векторні методи синтезу тестів і логічного моделювання цифрових компонентів SoC» виконана на високому науковому рівні, не порушує принципів академічної доброчесності та є закінченим науковим дослідженням, сукупність теоретичних та практичних результатів якого розв'язує наукове завдання зменшення алгоритмічної складності синтезу тесту та оцінки його якості шляхом використання надлишковості розумних структур даних, що має істотне значення для галузі знань 12 – Інформаційні технології.

Дисертаційна робота за актуальністю теми, науковою новизною та практичною цінністю отриманих результатів повністю відповідає пунктам 6-9 «Порядку присудження ступеня доктора філософії та скасування рішення разової спеціалізованої вченої ради закладу вищої освіти, наукової установи про присудження ступеня доктора філософії», затвердженого Постановою Кабінету Міністрів України від 12.01.2022 р. № 44.

Здобувач Хаханов Іван Володимирович заслуговує на присудження йому ступеня доктора філософії в галузі знань 12 – Інформаційні технології за спеціальністю 123 – Комп'ютерна інженерія.

Рецензент:

завідувач кафедри комп'ютерно-інтегрованих
технологій, автоматизації та робототехніки,
Харківського національного
університету радіоелектроніки
доктор технічних наук, професор

 Ігор НЕВЛЮДОВ

Підпис Ігоря НЕВЛЮДОВА засвідчую

Учений секретар

 Ірина ЖАРИКОВА

